

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JP 11-121645

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11121645 A**

(43) Date of publication of application: 30 . 04 . 99

(51) Int. Cl.

**H01L 23/12**  
**H05K 3/46**  
**// H05K 3/20**

(21) Application number: **09280111**

(22) Date of filing: **14 . 10 . 97**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **MORI NOBORU**  
**MATSUNAGA HAYASHI**  
**HAYAMA MASAOKI**

(54) **CERAMIC MULTI-LAYER SUBSTRATE AND METHOD FOR MANUFACTURING IT**

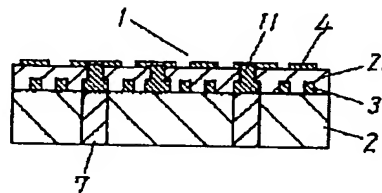
multi-layer substrate.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide more minute line width of a conductor pattern and to reduce a wiring resistance for higher wiring density by printing a first insulating layer on a first conductor pattern where a pattern of a conductive paste is transferred onto a ceramics substrate and sintered, and then printing a second conductor pattern of a it.

**SOLUTION:** On the surface of a flexible resin base material, fine first and second grooves are formed, used as an intaglio, which is filled with a conductor paste, and then deaerated and dried. In order to compensate for reduction in volume due to drying, a process where an additional conductor paste is re-filled, re-deaerated, and re-dried is repeated by a specified number of times so that the groove part is filled with a condensed conductor material. The intaglio and a ceramics substrate 2 are pasted together, and the conductor material packed in the groove part is transferred onto the ceramics substrate 2 and then sintered for a fine first conductor pattern 3. A first insulating layer 21 is printed on the first conductor pattern, and further, a second conductor pattern 4 is printed on the first insulating layer 21, which is to be a ceramics



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121645

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

D

H 0 5 K 3/46

H 0 5 K 3/46

H

Q

X

N

審査請求 未請求 請求項の数21 O L (全 14 頁) 最終頁に続く

(21) 出願番号

特願平9-280111

(22) 出願日

平成9年(1997)10月14日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 毛利 昇

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 松永 速

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 葉山 雅昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 セラミック多層基板及びその製造方法

(57) 【要約】

【課題】 セラミック多層基板の製造方法として、配線抵抗が低く、高密度の配線が可能なものを提供する。

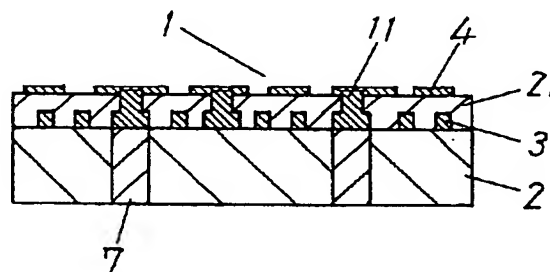
【解決手段】 凹版を用いてセラミック基板2上に第1導体パターン3を転写し、第1絶縁層21を形成した上に第2導体パターン4を形成し、ビア11で両導体パターン3、4を接続する構成とする。

1 セラミック多層基板 4 第2導体パターン

2 セラミック基板 7 スルーホール

3 第1導体パターン 11 ビア

21 第1絶縁層



**【特許請求の範囲】**

【請求項 1】 セラミック基板上に第 1 導体パターンを凹版印刷によって形成し、第 1 導体パターンの上に絶縁体を形成しているセラミック多層基板の製造方法であつて、

(a) 可とう性樹脂基材の表面に第 1 導体パターンに対応するパターンで第 1 の溝を形成し、又第 1 導体パターンのビア部に対応するパターンで第 2 の溝を第 1 の溝よりも深く形成した凹版を製造する工程と、

(b) この第 1 及び第 2 の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、

(c) 前記工程 (b) で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、

(d) この凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、

(e) この凹版をセラミック基板から剥離して、導電性ペーストのパターンをセラミック基板上に転写し、焼成して第 1 導体パターンを形成する工程と、

(f) 第 1 導体パターンの上に第 1 絶縁層を印刷形成する工程と、

(g) 第 1 絶縁層の上に第 2 導体パターンを印刷形成する工程と、を包含するセラミック多層基板の製造方法。

【請求項 2】 セラミック基板が、セラミック基板と、セラミック基板の少なくとも一方の表面に形成された厚さ 20  $\mu\text{m}$  以下の樹脂層とを備え、この樹脂層は熱硬化性樹脂または熱可塑性樹脂である請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 3】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、第 1 絶縁層の乾燥皮膜を研磨あるいは研削することで第 1 導体パターンのビア部を露出させ、焼成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 4】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、焼成後に第 1 絶縁層を研磨あるいは研削することで、第 1 導体パターンのビア部を露出させた請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 5】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、第 1 絶縁層の乾燥皮膜を研磨あるいは研削することで第 1 導体パターンのビア部を露出させ、焼成した後で再び研磨あるいは研削した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 6】 第 2 導体パターンは第 1 導体パターンと同様の工程で形成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 7】 セラミック基板の他方の面に第 1 導体パターン及び第 2 導体パターンと同様の方法で形成した第 3 導体パターン及び第 4 導体パターンを形成した請求項 1 または 6 に記載のセラミック多層基板の製造方法。

【請求項 8】 第 3 導体パターンは第 1 導体パターンと、又第 4 導体パターンは第 2 導体パターンと同時に貼り合わせ、転写形成した請求項 7 に記載のセラミック多層基板の製造方法。

【請求項 9】 セラミック基板の一部に誘電体層を形成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 10】 セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成された請求項 1 に記載のセラミック多層基板の製造方法。

10 【請求項 11】 第 1 導体あるいは第 2 導体パターンの一部に、L S I チップをフェースダウン実装して、電気的接続を行う工程を含む請求項 1 または 6 に記載のセラミック多層基板の製造方法。

【請求項 12】 第 2 の溝は L S I チップのパッド部に対応させて第 1 導体あるいは第 2 導体パターンを形成して微細なバンパと成し、このバンパの頂点部に導電性ペーストを付着させ、L S I チップをフェースダウン実装して電気的接続を行う工程を含む請求項 1 または 6 に記載のセラミック多層基板の製造方法。

20 【請求項 13】 セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第 1 導体パターンと、この第 1 導体パターン上の絶縁層と、上記第 1 導体パターンと一体となった凸状の段差を有するビア部を介して電気的に接続された第 2 の導体パターンとを備えたセラミック多層基板。

【請求項 14】 セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第 1 導体及び第 3 導体パターンと、この第 1 導体及び第 3 導体パターン上の絶縁層と、上記第 1 導体及び第 3 導体パターンと一体となった凸状の段差を有するビア部を介して電気的に接続された第 2 導体及び第 4 導体パターンとを備えたセラミック多層基板。

30 【請求項 15】 導体パターンの一部に網状パターンを備えた請求項 13 または 14 に記載のセラミック多層基板。

【請求項 16】 導体パターンの外周部にシールドパターンを備えた請求項 13 または 14 に記載のセラミック多層基板。

40 【請求項 17】 セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成し、このスルーホール部の上に第 1 導体パターンあるいは第 3 導体パターンのビア部が配置される請求項 13 または 14 に記載のセラミック多層基板。

【請求項 18】 セラミック基板の一部に誘電体層を形成した請求項 13 または 14 に記載のセラミック多層基板。

50 【請求項 19】 第 1 導体あるいは第 2 導体パターンの一部に、L S I チップをフェースダウン実装して、電気的接続をした請求項 13 または 14 に記載のセラミック多層基板。

【請求項20】 第2の溝はLSIチップのパッド部に  
対応させて第1導体あるいは第2導体パターンを形成し  
て微細なバンプと成し、このバンプの頂点部に導電性ベ  
ーストを付着させ、LSIチップをフェースダウン実装  
して電氣的接続をした請求項13または14に記載のセラ  
ミック多層基板。

【請求項21】 第1導体あるいは第2導体パターンの  
一部に0.8mmピッチ以下の格子状ランドを設け、この  
格子状ランドにLSIパッケージを実装して電氣的接続  
をした請求項13または14に記載のセラミック多層基  
板。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明はセラミック多層基板  
及びその製造方法に関する。

#### 【0002】

【従来の技術】 近年、電子機器の小型化が進んでおり、  
それに伴って電子機器内で使用される電子部品の小型化  
についてもとどまるところを知らない。電子回路を形成  
するプリント回路基板やセラミック多層基板についても  
同様であり、回路を形成する導体やビアホール等の微細化  
技術あるいは、多層化技術により一層の高密度配線を実  
現する方向にある。

【0003】 従来のセラミック多層基板の製造方法を図  
19によって説明する。まず、アルミナを主成分とする  
厚み約0.2mm程度のグリーンシート51を用意し、必  
要な箇所にビアホール52をパンチングあるいはCO<sub>2</sub>  
レーザーによって穴明け加工を施す。次に、そのビアホ  
ール52に、導電性ペースト（例えばタングステンペ  
ーストなど）をスクリーン印刷法などにより充填・乾燥し  
てビア53を形成する。

【0004】 続いてそのグリーンシート51に導電性ベ  
ーストによって導体パターン54をスクリーン印刷法に  
よって所望の回路パターンを印刷形成すれば第1層の回  
路基板55が準備されることになる。同様に第2層の回  
路基板56あるいは第3層の回路基板57、更に必要が  
あれば第4層の回路基板58を準備し、それぞれ位置合  
わせをして、プレスすることにより積層された回路基板  
59を得ることができる。次に、これを900～160  
0℃の高温にて焼成すれば、セラミック多層基板60が  
得られる。

【0005】 この方法によれば、積層数を増すことに  
よって、高密度化を図ることができる。

#### 【0006】

【発明が解決しようとする課題】 しかしながら、前述の  
従来のセラミック多層基板の製造方法は以下のような問  
題点を有していた。

【0007】 ①導体パターン54の形成がスクリーン印  
刷によるため、ライン幅(W)/ライン間隔(S)=7  
5μm/75μm以下に微細にすることが非常に困難で

ある。

【0008】 ②スクリーン印刷による導体パターン54  
の形成の場合は、微細パターンにする程膜厚も薄くな  
り、例えばW=75μmの時にはその膜厚が約5μmし  
かとれないので、配線抵抗が高くなるという欠点を有す  
る。

【0009】 ③配線材料が特にタングステンの場合に  
は、銀(Ag)や銅(Cu)による配線よりも配線抵抗  
が3～5倍ほど高く、微細パターンになる程この欠点  
が大きくなり、電気部品として使用できなくなる場合が多  
くなる。

【0010】 ④基板及び配線材料は、約900ないし1  
600℃という高温で同時に焼成されるために焼成後に  
約15～20%という材料収縮が発生し、このために基  
板の寸法ばらつきが大きくなり、この収縮ばらつきの  
ために配線部の寸法ばらつきも大きくなり、LSIの非  
常に微細なバンプとの接線が精度上から不正確となり、  
実装歩留りの低下の原因となっている。

【0011】 ⑤更に、スクリーン印刷による導体パター  
ン54の形成の場合、ライン幅が75μm以上となり  
(印刷歩留り及び配線抵抗を配慮すれば一般に120μ  
m以上必要)、狭い面積の中で多くのラインを形成する  
ためには配線の多層化をせざるを得なくなり、多層化す  
る程、又実装精度のために寸法精度を厳しくする程、基  
板コストは高くなる。

【0012】 本発明は、このような従来の課題を解決す  
るものであり、以下のような長所を備えたセラミック多  
層基板及びその製造方法を提供することを目的とするも  
のである。

【0013】 ①導体パターンのライン幅の微細化が10  
μmまで可能であり、セラミック多層基板として例えば  
ライン幅が30μmであれば導体膜厚が30μmの高膜  
厚が可能となり、配線抵抗が低く、配線密度も非常に高  
いものにすることができる。

【0014】 ②導体パターンの形成と同時に、微細なビ  
アパターンを形成できるので、非常に寸法精度が高く緻  
密な配線パターンが形成できる。

【0015】 ③絶縁層が研磨あるいは研削されているの  
で、平坦化され層数を増やしても、層間の接続が悪くな  
ることはなく、更に、表層部にLSIチップをフェース  
ダウン実装する場合においても平坦化されているので、  
接続の良いセラミック多層基板となる。

【0016】 ④導体パターンは、すでに焼成済みのセラ  
ミック基板上に形成するため、LSIとの接続用ランド  
パターンの精度は数μm程度のばらつきで制御が可能で  
あり、LSIのパッド間ピッチが100μm以下のもの  
に対しても微細で高精度な寸法の配線パターン上へのフ  
ェースダウン実装の歩留りはほぼ100%を実現でき  
る。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明のセラミック多層基板の製造法は、可とう性樹脂基材の表面に第1導体パターンに対応するパターンで第1の溝を形成し、又第1導体パターンのビア部に対応するパターンで第2の溝を第1の溝よりも深く形成した凹版を製造する工程と、第1及び第2の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、前記工程で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、凹版をセラミック基板から剥離して導電性ペーストのパターンをセラミック基板上に転写し焼成して第1導体パターンを形成する工程と、第1導体パターンの上に第1絶縁層を印刷形成する工程と、第1絶縁層の上に第2導体パターンを印刷形成する工程とを包含するものである。

【0018】この構成によれば、可とう性樹脂基材の表面に微細な第1の溝と第2の溝を第1導体パターンに対応したパターンで形成して凹版を製造し、溝部に導電性ペーストを充填・脱泡・乾燥し、乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程を所定の回数繰り返すことで溝部に濃縮された導体材料が充填されることになり、凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせ、凹版をセラミック基板から剥離して、乾燥された導電性ペーストのパターンをセラミック基板上に転写し、焼成して第1導体パターンを形成し、第1導体パターンの上に第1絶縁層を印刷形成し、更に第1絶縁層の上に第2導体パターンを印刷形成することによって、高膜厚で微細な配線パターンを簡単に形成することが可能となり、配線抵抗が低く、配線密度の高い、しかも配線パターンの寸法精度の高いものができるという効果を有する。

#### 【0019】

【発明の実施の形態】請求項1に記載の発明は、セラミック基板上に第1導体パターンを凹版印刷によって形成し、第1導体パターンの上に絶縁体を形成しているセラミック多層基板の製造方法であって、(a)可とう性樹脂基材の表面に第1導体パターンに対応するパターンで第1の溝を形成し、又第1導体パターンのビア部に対応するパターンで第2の溝を第1の溝よりも深く形成した凹版を製造する工程と、(b)この第1及び第2の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、

(c)前記工程(b)で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、(d)この凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、(e)この凹版をセラミック基板から剥

離して、導電性ペーストのパターンをセラミック基板上に転写し、焼成して第1導体パターンを形成する工程と、(f)第1導体パターンの上に第1絶縁層を印刷形成する工程と、(g)第1絶縁層の上に第2導体パターンを印刷形成する工程と、を包含するセラミック多層基板の製造方法であり、配線密度が高く、導体パターンのライン幅の微細化が可能となる。

【0020】請求項2に記載の発明は、セラミック基板が、セラミック基板と、セラミック基板の少なくとも一方の表面に形成された厚さ20 $\mu$ m以下の樹脂層とを備え、この樹脂層は熱硬化性樹脂または熱可塑性樹脂である請求項1に記載のセラミック多層基板の製造方法であり、厚さ20 $\mu$ m以下にすることにより、導体パターンの変形が非常に小さくなるという作用を有する。

【0021】請求項3に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、第1絶縁層の乾燥皮膜を研磨あるいは研削することで第1導体パターンのビア部を露出させ、焼成した請求項1に記載のセラミック多層基板の製造方法であり、ビアサイズ、ビアピッチが小さくても高精度にビア露出が可能となり、高密度な多層化が可能であるという作用を有する。

【0022】請求項4に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、焼成後に第1絶縁層を研磨あるいは研削することで、第1導体パターンのビア部を露出させた請求項1に記載のセラミック多層基板の製造方法であり、ビアサイズ、ビアピッチが小さくても高精度にビア露出が可能であり、ビアと絶縁層の高さが同一面で平坦化ができ、2層目以降の凹版転写が高歩留りで可能であるという作用を有する。

【0023】請求項5に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、第1絶縁層の乾燥皮膜を研磨あるいは研削することで第1導体パターンのビア部を露出させ、焼成した後で再び研磨あるいは研削した請求項1に記載のセラミック多層基板の製造方法であり、高精度にビア露出が可能で、ビアと絶縁層が同一面に平坦化加工が容易で低コストになるという作用を有する。

【0024】請求項6に記載の発明は、第2導体パターンは第1導体パターンと同様の工程で形成した請求項1に記載のセラミック多層基板の製造方法であり、2層目にも凹版のファイン形成が可能なので高密度な多層化が実現できることになる。

【0025】請求項7に記載の発明は、セラミック基板の他方の面に第1導体パターン及び第2導体パターンと同様の方法で形成した第3導体パターン及び第4導体パターンを形成した請求項1または6に記載のセラミック多層基板の製造方法であり、セラミック基板の両面に凹版のファイン形成が可能なので更に高密度な多層化が実現できることになる。

【0026】請求項8に記載の発明は、第3導体パター

ンは第1導体パターンと、又第4導体パターンは第2導体パターンと同時に貼り合わせ、転写形成した請求項7に記載のセラミック多層基板の製造方法であり、セラミック基板の両面に同時にパターン形成するので製造コストが低減可能となる。

【0027】請求項9に記載の発明は、セラミック基板の一部に誘電体層を形成した請求項1に記載のセラミック多層基板の製造方法であり、誘電体層を加えることにより電源ノイズの低減に効果がある。

【0028】請求項10に記載の発明は、セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成された請求項1に記載のセラミック多層基板の製造方法であり、スルーホールを完全に充填することにより、スルーホール上へのビア形成が可能となり、高密度配線が可能となる。

【0029】請求項11に記載の発明は、第1導体あるいは第2導体パターンの一部に、LSIチップをフェースダウン実装して、電気的接続を行う工程を含む請求項1または6に記載のセラミック多層基板の製造方法であり、高密度配線の基板なので、LSIチップをフェースダウン実装が可能となっており、更にフェースダウン実装が可能なので、製品の小型化につながる。

【0030】請求項12に記載の発明は、第2の溝はLSIチップのパッド部に対応させて第1導体あるいは第2導体パターンを形成して微細なバンパと成し、このバンパの頂点部に導電性ペーストを付着させ、LSIチップをフェースダウン実装して電気的接続を行う工程を含む請求項1または6に記載のセラミック多層基板の製造方法であり、導体パターンに凹版でバンパを同時に形成できるので、LSIチップに予めバンパを形成する必要がなく低コスト化更に、リペアが可能となる。

【0031】請求項13に記載の発明は、セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第1導体パターンと、この第1導体パターン上の絶縁層と、上記第1導体パターンと一体となった凸状の段差を有するビア部を介して電気的に接続された第2の導体パターンとを備えたセラミック多層基板であり、凸状の段差のビアのためにビアの転写性が良く高歩留りとなる。

【0032】請求項14に記載の発明は、セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第1導体及び第3導体パターンと、この第1導体及び第3導体パターン上の絶縁層と、上記第1導体及び第3導体パターンと一体となった凸状の段差を有するビア部を介して電気的に接続された第2導体及び第4導体パターンとを備えたセラミック多層基板であり、両面に凸状の段差のビアを設けることによりビアの転写性が良く、更に両面多層基板として高密度なセラミック多層基板となる。

【0033】請求項15に記載の発明は、導体パターン

の一部に網状パターンを備えた請求項13または14に記載のセラミック多層基板であり、電源やGND電極の低インピーダンス化に効果がある。

【0034】請求項16に記載の発明は、導体パターンの外周部にシールドパターンを備えた請求項13または14に記載のセラミック多層基板であり、外周部のシールドにより耐ノイズ性が向上することになる。

【0035】請求項17に記載の発明は、セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成し、このスルーホール部の上に第1導体パターンあるいは第3導体パターンのビア部が配置される請求項13または14に記載のセラミック多層基板であり、スルーホールを完全に充填することによりスルーホール上へのビア形成が可能となり、高密度配線が可能となる。

【0036】請求項18に記載の発明は、セラミック基板の一部に誘電体層を形成した請求項13または14に記載のセラミック多層基板であり、誘電体層を加えることにより、電源ノイズの低減に効果がある。

【0037】請求項19に記載の発明は、第1導体あるいは第2導体パターンの一部に、LSIチップをフェースダウン実装して、電気的接続をした請求項13または14に記載のセラミック多層基板であり、高密度配線の基板なので、LSIチップをフェースダウン実装が可能となっており更にフェースダウン実装が可能なので、製品の小型化につながる。

【0038】請求項20に記載の発明は、第2の溝はLSIチップのパッド部に対応させて第1導体あるいは第2導体パターンを形成して微細なバンパと成し、このバンパの頂点部に導電性ペーストを付着させ、LSIチップをフェースダウン実装して電気的接続をした請求項13または14に記載のセラミック多層基板であり、導体パターンに凹版でバンパを同時に形成した構成なのでLSIチップに予めバンパを形成する必要がなく、低コスト化が図れる。

【0039】請求項21に記載の発明は、第1導体あるいは第2導体パターンの一部に0.8mmピッチ以下の格子状ランドを設け、この格子状ランドにLSIパッケージを実装して電気的接続をした請求項13または14に記載のセラミック多層基板であり、高密度配線の基板なので、0.8mmピッチ以下の格子状ランドのパッケージで実装可能となる。

【0040】（実施の形態1）本発明のセラミック基板の製造方法の第1の実施の形態を図1～図9を参照して以下に説明する。

【0041】本実施の形態のセラミック多層基板1は、図1に示す通り、セラミック基板2の上に導体ライン幅を20 $\mu$ m、ライン間隔を40 $\mu$ m、導体膜厚は焼成後で20 $\mu$ mにした第1導体パターン3を形成し、又同時に第1導体パターン3に径100 $\mu$ mのビア11を形成した。第1導体パターン3の上には第1絶縁層21を形

成し、更にその上には第2導体パターン4を形成し、この第2導体パターン4はビア11と電気的に接続されている。

【0042】続いて、本実施の形態の製造方法を工程順に説明する。まず、第1導体パターン3は凹版印刷によって製造される。図2において、使用される凹版40は、厚さ125 $\mu$ mの可とう性樹脂基材であるポリイミドフィルムに対し予め所望の配線パターンに対応した形状となるようエキシマレーザ装置を用いて紫外線領域の波長248nmのレーザビームにて照射されて作成される。レーザビームで照射された部分は光化学反応で分解されて第1導体パターン3のラインに相当する第1の溝12が加工される。本実施の形態では溝の幅を25 $\mu$ m、溝の深さを30 $\mu$ mとした。

【0043】次に、第1導体パターン3のビア11に対応するパターンで第2の溝13を前記同様にエキシマレーザ装置を用いて更に加工を加えて深い溝とした。本実施の形態では第2の溝13の最深部の径は120 $\mu$ m、溝深さは90 $\mu$ mとした。

【0044】このようにエキシマレーザを用いるために第1の溝12の幅が10 $\mu$ m以下でも可能となり、更に第1及び第2の溝12、13の深さも任意に調整でき、しかも溝部の幅の寸法よりも深さ寸法の方を大きくとれるというアスペクト比の大きなことがこの凹版40の特徴の一つである。

【0045】可とう性樹脂基材としては、エキシマレーザによる加工の場合は、光化学反応で分解される材料であれば何でも可能であるが、他にポリエチレンテレフタレート(PET)やポリエーテルイミド(PEI)なども使用できる。凹版40の材料として使用しているポリイミドフィルムでは溝部12、13の中に充填されて転写される導体ペースト42とフィルムとの剥離性が充分でない。そのため、転写工程において溝部12、13の内部に導体ペースト42が残存しやすい。そこで、凹版40の表面、特に溝部12、13の表面に剥離層(図示せず)を形成する。剥離層はフッ化炭素系単分子膜を使用した。

【0046】次に、剥離層が形成された凹版40の表面に導体ペースト42としてAg-Pdペーストを塗布する。そして、塗布後の凹版40の表面をスキージ41で掻くことによって凹版表面の余分なAg-Pdペーストを除去するとともに、溝部12、13の中にAg-Pdペーストを十分に充填する。

【0047】凹版に導体ペースト42を充填する時に、特に溝12、13の幅が狭くなったり、第2の溝13のように深くなってくると図3(a)に示すように気泡8が残存しやすくなる。そこで本実施の形態では真空装置に導体ペースト42の充填された凹版40を入れて脱泡し、気泡を除去し、再度スキージ41で凹版40の表面を掻くことによって凹版40の表面の余分な導体ペース

ト42を除去し、図3(b)のように気泡8のない導体ペースト42の充填とした。

【0048】脱泡方法は、導体ペースト42の充填された凹版40を回転装置に入れて、遠心力によって気泡8を除去することによっても可能であった。又、回転装置を真空にすることにより更に気泡8の除去は容易となり、凹版40の溝12、13の形態によってその脱泡方法は自由に選択することができる。充填されたAg-Pdペーストは凹版40とともに乾燥機を用いて乾燥させてAg-Pdペースト中の有機溶剤を蒸発させる。そのため、有機溶剤の蒸発分に相当するだけ、溝部12、13の内部に充填されているAg-Pdペーストの体積が減少する。そこで、この体積減少分を補うためにAg-Pdペーストの充填脱泡工程及び乾燥工程を再度繰り返す。この繰り返しによって充填されているAg-Pdペーストの乾燥後の厚さを溝部12、13の深さとほぼ同等にすることができる。本例では3回の充填・脱泡・乾燥を繰り返した。

【0049】一方、セラミック基板2は、図4に示すようにスルーホール7にスクリーン印刷により導体ペーストを充填・乾燥を繰り返し焼成することによって、完全に導体材料、ここではAg-Pdで埋めた。

【0050】続いて、セラミック基板2上に導体パターンが転写されるように、熱可塑性樹脂よりなる接着層44によってセラミック基板2に形成した。図5に模式的に示されているように、乾燥済み導体ペースト43が充填された溝部12、13を有する側の凹版40の表面と接着層44とを対向させ、凹版40とセラミック基板2とを加熱・加圧して貼り合わせる。ここで、セラミック基板2として焼成済みのセラミック基板2を使用した。後述するように、接着層44の厚さが厚くなると、焼成時に接着層44自身の燃焼と収縮力によって導体パターンがうまく形成されないという問題点が発生する。発明者らによる検討の結果、接着層44の厚さは20 $\mu$ m以下が適当であることが確認されている。貼り合わせ工程の温度は130℃とした。これは使用する熱可塑性樹脂のガラス転移点よりも約30℃程高い温度を選び、転写性の良いことを確認した。熱可塑性樹脂は、ポリビニルブチラル樹脂(以下、PVBと略記)を溶解したブチルカルビトールアセテート(以下、BCAと略記)の溶液をセラミック基板2の表面にディップ法によって塗布して乾燥する。これによって、セラミック基板2の表面全体に厚さ5 $\mu$ mのPVB層を接着層44として形成する。なお、PVB層はディップ法の他にスピンナー法あるいはロールコート法、スクリーン印刷法を用いて塗布することもできる。

【0051】ところで、通常、セラミック基板2の表面には少なくとも約30 $\mu$ m程度のうねりが存在する。ここで凹版として柔軟性をもっていないような例えばガラス製凹版等の場合には硬く剛性が大きすぎるために、貼



り合わせ時に凹版が基板のうねり形状に充分に追従できないが、本発明のようにフレキシブル性に富んだ樹脂製の凹版40を使用する構成によれば、基板のうねり形状に充分に追従でき、転写性の優れた製造方法となる。

【0052】次に、転写工程として、貼り合わせられた凹版40とセラミック基板2との温度を室温まで下げた後から凹版40をセラミック基板2から剥離させ、配線パターンに応じてパターン化させた第1導体パターンである乾燥済み導体ペースト43の転写を行う。この時、図6に示すように、凹版40がフレキシブル性に富んでいるため、凹版40を90°以上の角度に曲げることが可能である。この結果、セラミック基板2からの凹版40の剥離は線状の剥離になるため、必要な剥離力が低減されて凹版40を容易に剥離することができる。

【0053】次に、上記のように乾燥済み導体ペースト43が転写されたセラミック基板2をピーク温度850℃の温度プロファイルの下で焼成する。焼成の対象になるセラミック基板2は接着層44を介して導体パターンが形成されている構造になるので、焼成条件の設定によっては接着層44から燃焼ガスが勢い良く発生して導体パターンの不良の原因になる剥離や変形が生じることがある。そのような不具合の発生を防ぐためには、接着層44の燃焼が開始されてから終了するまでの温度に相当する200～500℃の間の昇温時の温度勾配を200℃/Hr以下にすることが望ましい。

【0054】これらの温度条件と接着層の膜厚の関係を検討を加えた結果、上記温度条件の下では接着層44が20μm以下であれば、導体パターンの変形もなく、焼成時の導体パターン剥がれも無いことが確認できた。以上の工程により、第1導体パターン3が形成され、最小ライン幅20μm、最小ライン間隔40μm、焼成後の導体膜厚20μm、ビア径100μm、ビア高さ60μmの図7に示すものが得られた。溝部の寸法よりも小さくなったのは、導体材料が焼成によって収縮したからである。

【0055】又、第1導体パターン3の電気抵抗は、最大線長部分で0.4Ω、導体の面積抵抗値は2.1mΩと非常に小さい配線抵抗にすることができた。

【0056】次に、図8に示すように、第1導体パターン3の形成されたセラミック基板2に第1絶縁層21をスクリーン印刷法により印刷・焼成した。第1絶縁層21の材料は、セラミック基板2とほぼ同じ熱膨張係数をもった結晶化ガラスをペースト化して、印刷したものである。ビア部の上部は、スクリーン版の乳剤にて印刷されないようにパターン形成したものである。

【0057】次に、第2導体パターン4の形成は、図9に示すように、第1絶縁層21の上にスクリーン印刷法によってW/S=100μm/100μmのルールにて印刷し焼成することによって焼成した。第2導体パターン4と第1導体パターン3はビア11を介して電氣的に

接続したものである。

【0058】本実施の形態においては、以下に示す効果を有する。可とう性樹脂基材の表面に微細な第1の溝12と第2の溝13を形成して凹版40とし、溝部12、13に導体ペースト42を充填・脱泡・乾燥し、乾燥による体積減少を補うために追加の導体ペーストを再充填・再脱泡し、再乾燥する工程を所定の回数繰り返すことで溝部12、13に濃縮された導体材料を充填し、その凹版40とセラミック基板2とを貼り合わせ、溝部12、13に充填された導体材料をセラミック基板2上に転写し、焼成して微細な導体パターンを形成して第1導体パターン3とし、第1導体パターン3の上に第1絶縁層21を印刷形成し、更に第1絶縁層21の上に第2導体パターン4を印刷形成することによって、セラミック多層基板としたので、例えば、ライン幅が20μmで配線膜厚が20μm、ビア径100μm、ビア高さ60μmの微細で高密度配線ができ、配線抵抗も非常に低いセラミック多層基板1が得られる。

【0059】(実施の形態2) 本発明のセラミック多層基板の製造方法の第2の実施の形態を図10(a)～(e)を参照して以下に説明する。図10(a)～(e)は本実施の形態の部分断面図である。

【0060】まず、図10(a)に示すように、第1導体パターン3を形成する工程までは、第1の実施の形態と全く同じ工程とした。

【0061】次に、第1導体パターン3上に形成する第1絶縁層21の形成は図10(b)に示すようにビア11の上も全て印刷するようにスクリーン印刷によって形成した。第1絶縁層21は、乾燥された後に図10(c)に示すようにビア11が数μm削られる程度まで、研削機にて研削し平坦化した。この工程において、必要なビア部は全て第1絶縁層21の中から露出している。

【0062】次に、この状態でピーク温度850℃の温度プロファイルの下で焼成した。焼成すると、図10(d)に示すように、第1絶縁層21は焼成による体積収縮により膜厚が薄くなり、相対的にビア11が10μm程度突き出た形となる。

【0063】次に第2導体パターン4の形成については、図10(e)に示すようにスクリーン印刷によってW/S=100μm/100μmのルールにて印刷し焼成することによってセラミック多層基板1を形成した。第2導体パターン4と第1導体パターン3はビア11を介して電氣的に接続したものである。

【0064】本実施の形態においては、以下に示す効果を有する。第1導体パターン3のビアサイズ及びビアピッチが小さくなるに従って、第1絶縁層21はスクリーン印刷によってビア部の上のみを印刷しないパターンで形成することは精度上非常に困難になってくる。この実施の形態の手段によれば、第1導体パターン3で形成可

能なビア11であれば、正確にビア11の露出が可能となるので、第1の実施の形態よりも一層高密度の配線パターン及びセラミック多層基板1が得られることになる。

【0065】（実施の形態3）本発明のセラミック多層基板の製造方法の第3の実施の形態を図11（a）～（d）を参照して以下に説明する。図11（a）～（d）は本実施の形態の部分断面図である。

【0066】まず、図11（a）に示すように、第1導体パターン3を形成する工程までは、第1の実施の形態と全く同じ工程とした。

【0067】次に第1導体パターン3上に形成する第1絶縁層21の形成は図11（b）に示すように、ビア11の上も全て印刷するようにスクリーン印刷によって形成し、ピーク温度850℃の温度プロフィールの下で焼成した。焼成後に、図11（c）に示すように研磨機にて第1絶縁層21を研磨し、第1絶縁層21から全てのビア11が完全に露出するまで研磨することによって、第1絶縁層21の表面を平坦化した。

【0068】次に第2導体パターン4の形成は、まず図11（c）の工程で得られた基板の表面に接着層を塗布し、続いて第1導体パターン3の形成工程と全く同様の工程で第2導体パターン4を形成した凹版により、転写形成して、図11（d）に示すような第2導体パターン4が形成された。この第2導体パターン4の配線ルールも第1導体パターン3の配線ルールと全く同じものとした。

【0069】本実施の形態においては、以下に示す効果を有する。この実施の形態の手段によれば、第1導体パターン3で形成可能なビア11であれば、正確にビア11の露出が可能となり、更にビア11の高さと絶縁層21の高さが同一面となり、平坦化についても第2の実施の形態よりも優れたものになっているので、第2導体パターン4を高密度配線にするために凹版による転写工程が必要な場合には、非常に有効となり、第1及び第2の実施の形態よりも一層高密度の配線パターン及びセラミック多層基板1が得られることになる。

【0070】（実施の形態4）本発明のセラミック多層基板の製造方法の第4の実施の形態を図12（a）～（f）を参照して以下に説明する。図12（a）～（f）は本実施の形態の部分断面図である。

【0071】図12（a）～（d）は図10（a）～（d）に対応しているように、第1の絶縁層21の形成・焼成までは全く同じ工程とした。従って、図12（d）に示すように、ビア11は第1の絶縁層21から相対的に10μm程度突き出ている状態になっている。

【0072】次に、図12（e）に示すように、ビア11のみを削るために研磨機によって研磨し、ビア11を第1の絶縁層21と同じ高さとした。第2導体パターン4の形成は第3の実施の形態と全く同じ方法で形成し

た。

【0073】本実施の形態においては、以下に示す効果を有する。この実施の形態の手段によれば、研磨あるいは研削工程が2回となるが、1回目の研削工程は絶縁層21の乾燥皮膜の研削のため、非常に容易に短時間で研削が可能である。又、2回目の研磨工程は、ビア11の露出部分のみの研磨でありこれも非常に容易に短時間で研磨が可能であるという利点を有する。又、高密度な配線パターンを実現できるという利点については、第3の実施の形態と全く同じ効果を有する。

【0074】（実施の形態5）本発明のセラミック多層基板の製造方法の第5の実施の形態を図13、図14（a）～（c）を参照して以下に説明する。

【0075】まず、セラミック基板2のスルーホール部に導体ペーストを充填・焼成し、基板の両面に接着層44を形成した。

【0076】第1導体パターン3及び第3導体パターン5は、それぞれの所望のパターンに加工された凹版40の溝部へ導体ペーストを第1の実施の形態と同様に充填し準備した。

【0077】次に、図13に示すように、前記充填された凹版40をセラミック基板2の両面に同時に位置合わせし、プレス治具45にて貼り合わせ第1の実施の形態と同様に凹版40の剥離、導体パターンの焼成を行った。図14（a）は第1及び第3導体パターン3、5の焼成後の部分断面図である。

【0078】続いて、図14（b）に示すように、両面に第1、第2の絶縁層21、22を形成し、第4の実施の形態と同様の方法で研磨することにより第1及び第3導体パターン3、5のビア11部を露出させた。

【0079】次に、第2及び第4導体パターン4、6についても、それぞれ所望のパターンに加工された凹版40の溝部へ導体ペーストを充填し、第1及び第3導体パターン3、5と同様の方法で、それぞれ図14（c）に示すように、導体パターンの転写・焼成を行った。

【0080】本実施の形態においては、以下に示す効果を有する。この実施の形態によれば、導体パターンの形成がセラミック基板2の両面で同時に形成でき、焼成や絶縁層21、22の研磨においても両面同時形成ができるので、多層にすることによっても製造工程が短縮化でき、製造コストの低減に大きな効果を得ることができる。又、両面同時形成することによって、絶縁層21、22とセラミック基板2間の若干の熱膨張係数差によるセラミック多層基板の反りも低減することができ、反りの小さなセラミック多層基板1を得ることができる。

【0081】（実施の形態6）本発明のセラミック多層基板の製造方法の第6の実施の形態を図15（a）～（d）を参照して以下に説明する。図15（a）～（d）は本実施の形態の部分断面図である。

【0082】図15（a）において、第1絶縁層21の

研磨工程までは第4の実施の形態と同様である。本実施の形態においては、第2導体パターン4の形成で、対応する凹版パターンの第2の溝にLSIチップのパッド部に配置上対応させて設け、第1導体パターン3の形成と同様の工程で第2の溝に充填された導体材料をバンプ状15にしたものである。

【0083】本実施の形態でのバンプ15のサイズはバンプ径が $50\mu\text{m}$ 、バンプ高さが $50\mu\text{m}$ 、バンプ最小ピッチが $100\mu\text{m}$ とした。次にバンプ先端部に導電性接着剤47を均一に塗布するために、図15(b)に示すように、導電性接着剤転写治具49に予め導電性接着剤47を均一の膜厚でコーティングしておき、その導電性接着剤転写治具49をバンプ15上にセラミック基板2と平行に下方へ下げて転写する。

【0084】次に、図15(c)に示すように、LSIチップ46のパッド部とバンプ15の正確な位置合わせを行い、LSIチップ46をバンプ15の上に搭載する。搭載後はすみやかに導電性接着剤47を加熱硬化させて、LSIチップ46とバンプ15を接合させる。次に図15(d)に示すように、LSIチップとバンプ間に封止樹脂48を封入し、加熱硬化させた。

【0085】本実施の形態においては、以下に示す効果を有する。この実施の形態によれば、第2導体パターン4にバンプ15を同時に形成できるので、LSIチップ46側に予めバンプを形成するような手段は不要で、LSIチップ46の製造コストの低減に有効である。又、セラミック多層基板上に多数のLSIチップ46を搭載する場合においても、第2導体パターン4に必要なバンプ15を形成することによって、工程を増やすことなく、同時に多数のLSIチップ46に対応するバンプ15を形成することができる。

【0086】更に、LSIチップ46の実装後の検査においては、導電性接着剤47の硬化前に電気検査をすることによって、LSIチップ46の実装の良否を判定し、仮に実装不良であれば、該当LSIチップ46を取りはずし、再搭載あるいは別のLSIチップ46を搭載し、再検査後に良品と判定されてから導電性接着剤47を硬化でき、セラミック多層基板の歩留り向上に有効となる。

【0087】ただ、LSIチップ46によっては、すでにバンプを形成されたLSIチップを使用せざるを得ない場合もあるが、この場合においても例えば第5の実施の形態のセラミック多層基板に直接そのLSIチップ46に適した実施の形態で実装することにより、高密度なセラミック多層基板として有効となる。

【0088】このように、本実施の形態の高密度なセラミック多層基板を用いれば、更に様々な実施の形態が可能となる。

【0089】図16に示すものは、第1～第4導体パターン3、4、5、6の形成は凹版による転写パターンの

形成で配線の高密度化を図り、表層部にLSIチップ46をフェースダウンにて直接実装したものである。

【0090】又、図17に示すものは、第1～第4導体パターン3、4、5、6の形成はセラミック基板2の片面に集中形成し、一方の面には誘電体層23をスクリーン印刷により形成して、誘電体層23を挟む電極は電源電極24とグランド電極25とした。この誘電体層23は誘電率 $\epsilon=10000$ の高誘電率材料としたので電源ノイズの低減に大きな効果が得られた。

【0091】なお、図17に示す実施の形態では、第1～第3導体パターン3、4、5の最外周部にシールド電極18を設け、更に第1～第3導体パターン3、4、5の一部に含まれる電源電極24及びグランド電極25はメッシュ状パターンとした。これにより信号ラインの耐ノイズ性の向上と、電源電極24及びグランド電極25の低インピーダンス化を図ることができた。

【0092】図18(a)、(b)に示すものは、別の実施の形態の例である。図18(a)は本実施の形態の方法により作成されたチップサイズパッケージ(CSP)であり、バンプ15は第5導体パターン16と同時に形成したものである。図18(b)は誘電体層23を設けたセラミック多層基板の表層部に前記CSPを直接実装して得られたものである。前記CSPは、ランド部17が $0.8\text{mm}$ ピッチのフルグリッドで形成しており又、総ランド数も400ランドとなっているためセラミック多層基板の配線も高密度なものが必要となり、従来例のセラミック多層基板では実現が困難となっていた。

【0093】ここにおいても、本実施の形態の設計ルールである $W/S=20\mu\text{m}/40\mu\text{m}$ が非常に有効であることが判明した。

【0094】

【発明の効果】以上のように本発明は、導体パターンのライン幅の微細化が $10\mu\text{m}$ まで可能となり、導体膜厚も $30\mu\text{m}$ が可能で配線抵抗が低く、配線密度の高いものとなることができ、微細なビアパターンも形成でき、絶縁層が研磨あるいは研削で平坦化され、層数を増やしても接続性が良く、表層部にLSIチップをフェースダウン実装する場合も接続性に優れたものとなる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるセラミック多層基板の部分断面図

【図2】同セラミック多層基板における凹版への導体ペーストの充填工程を模式的に示す概略図

【図3】(a)同セラミック多層基板における凹版への導体ペーストの脱泡前の状態を模式的に示す概略図  
(b)同脱泡後の状態を模式的に示す概略図

【図4】同セラミック多層基板における接着層形成工程後の部分断面図

【図5】同セラミック多層基板の凹版とセラミック基板の積層工程を模式的に示す概略図

【図6】同セラミック多層基板の転写工程を模式的に示す概略図

【図7】同セラミック多層基板の導体パターンの焼成工程後の部分断面図

【図8】同セラミック多層基板の絶縁層形成後の部分断面図

【図9】同セラミック多層基板の第2導体パターンの形成後の部分断面図

【図10】(a)～(e)本発明の実施の形態2によるセラミック多層基板の製造工程を説明する部分断面図

【図11】(a)～(d)本発明の実施の形態3によるセラミック多層基板の製造工程を説明する部分断面図

【図12】(a)～(f)本発明の実施の形態4によるセラミック多層基板の製造工程を説明する部分断面図

【図13】本発明の実施の形態5によるセラミック多層基板の凹版とセラミック基板の積層工程を模式的に示す概略図

【図14】(a)～(c)同セラミック多層基板の製造工程を説明する部分断面図

【図15】(a)～(d)本発明の実施の形態6によるセラミック多層基板の製造工程を説明する部分断面図

【図16】同セラミック多層基板の別の実施の形態を示す部分断面図

【図17】同セラミック多層基板の別の実施の形態を示す部分断面図

【図18】(a)同セラミック多層基板と同方法にて作成したチップサイズパッケージの部分断面図

(b)同セラミック多層基板へチップサイズパッケージを実装した部分断面図

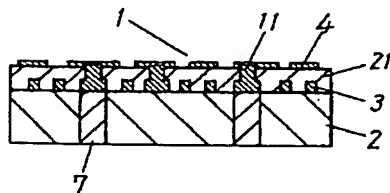
【図19】(a)～(g)従来のセラミック多層基板の製造工程を説明する部分断面図

# 【符号の説明】

- 1 セラミック多層基板
- 2 セラミック基板
- 3 第1導体パターン
- 4 第2導体パターン
- 5 第3導体パターン
- 6 第4導体パターン
- 7 スルーホール
- 8 気泡
- 10 11 ビア
- 12 第1の溝
- 13 第2の溝
- 15 バンプ
- 16 第5導体パターン
- 17 ランド部
- 18 シールド電極
- 21 第1絶縁層
- 22 第2絶縁層
- 23 誘電体層
- 20 24 電源電極
- 25 グランド電極
- 40 凹版
- 41 スキージ
- 42 導体ペースト
- 43 乾燥済み導体ペースト
- 44 接着層
- 45 プレス治具
- 46 LSIチップ
- 47 導電性接着剤
- 48 封止樹脂
- 30 49 導電性接着剤転写治具

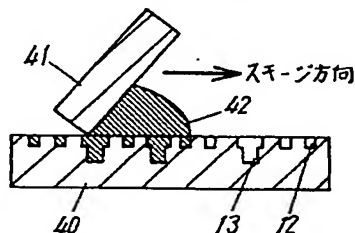
【図1】

- 1 セラミック多層基板
- 2 セラミック基板
- 3 第1導体パターン
- 4 第2導体パターン
- 7 スルーホール
- 11 ビア
- 21 第1絶縁層



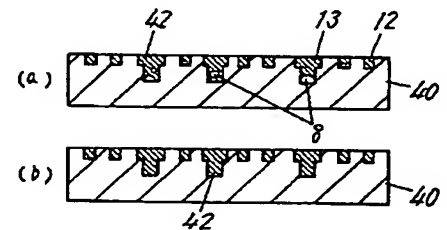
【図2】

- 12 第1の溝
- 13 第2の溝
- 40 凹版
- 41 スキージ
- 42 導体ペースト

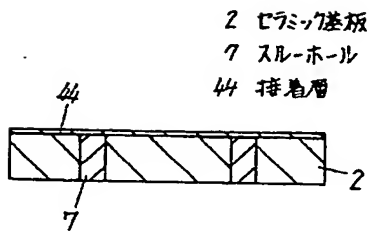


【図3】

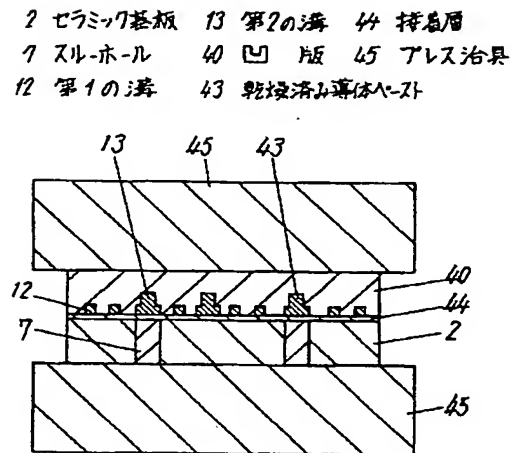
- 8 気泡
- 12 第1の溝
- 13 第2の溝
- 40 凹版
- 42 導体ペースト



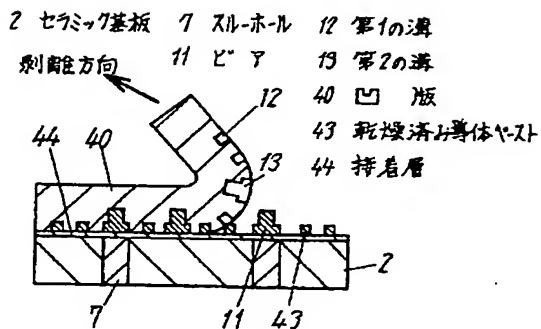
【図4】



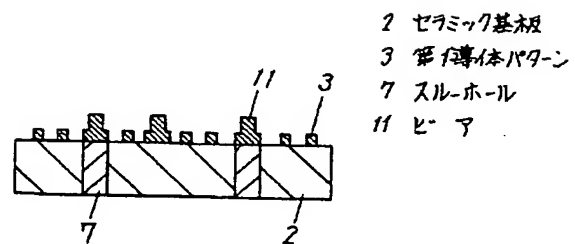
【図5】



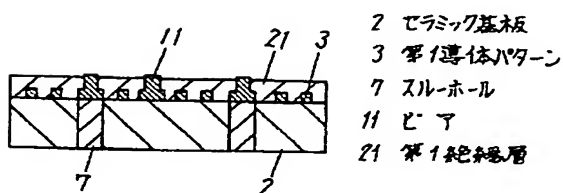
【図6】



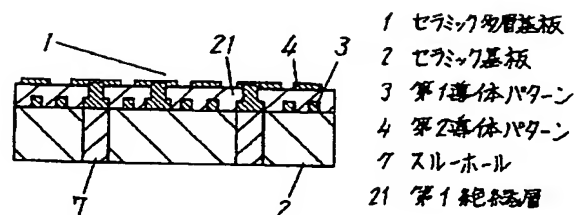
【図7】



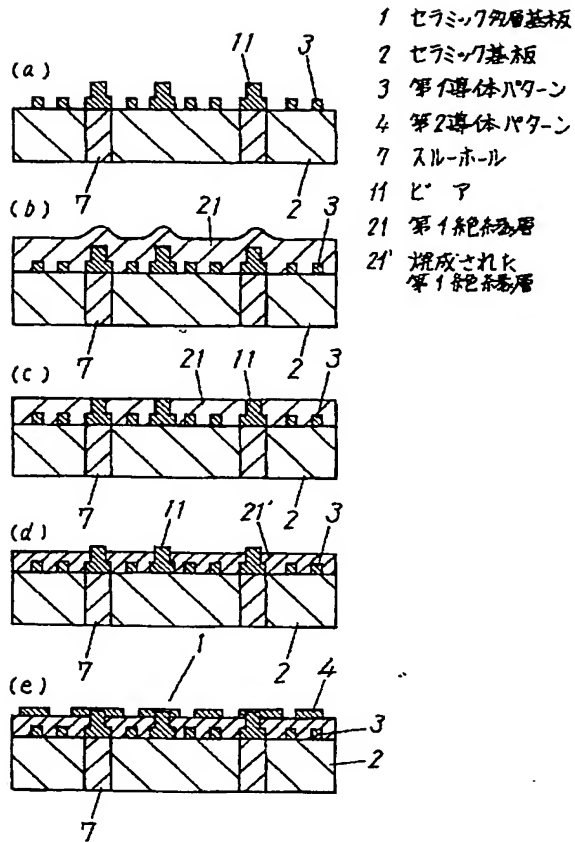
【図8】



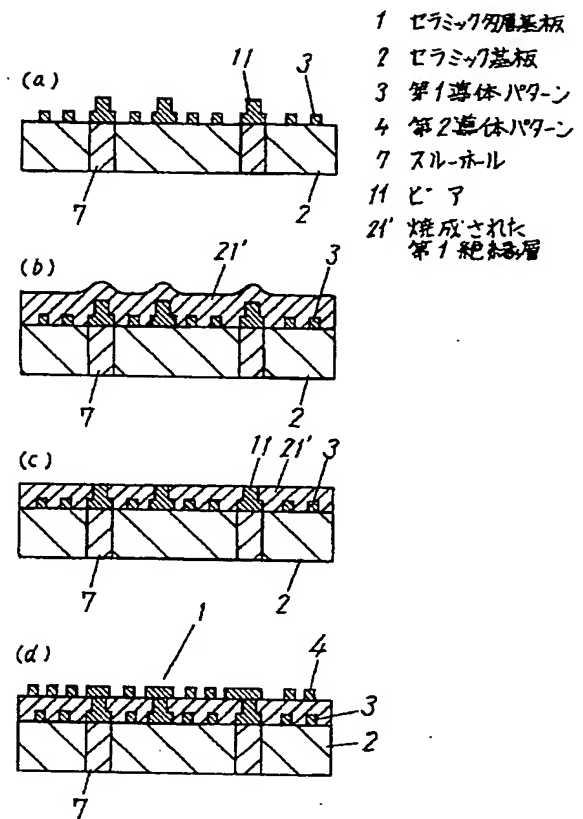
【図9】



【図10】

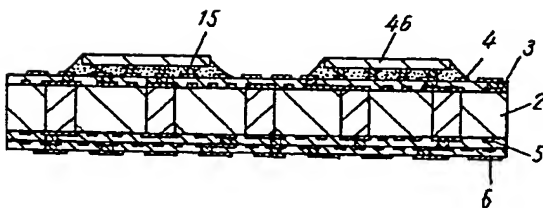


【図11】



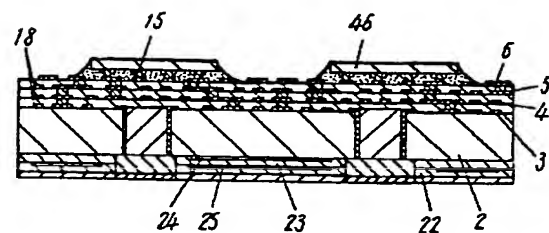
【図16】

- 2 セラミック基板  
3 第1導体パターン  
4 第2導体パターン  
5 第3導体パターン  
6 第4導体パターン  
15 バンプ  
46 LSIチップ

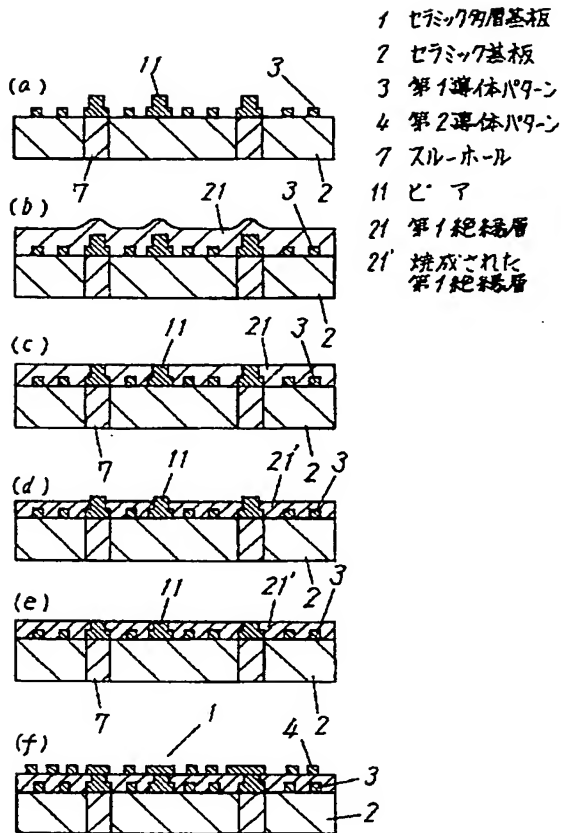


【図17】

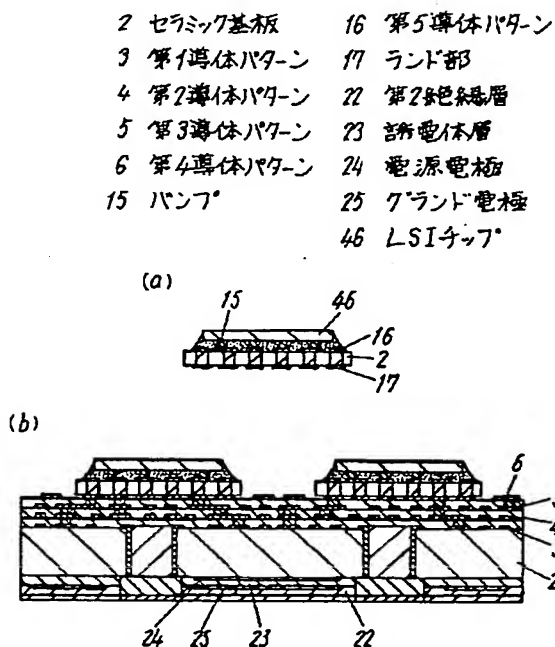
- 2 セラミック基板  
3 第1導体パターン  
4 第2導体パターン  
5 第3導体パターン  
6 第4導体パターン  
15 バンプ  
18 ツールド電極  
22 第2絶縁層  
23 誘電体層  
24 電源電極  
25 グランド電極  
46 LSIチップ



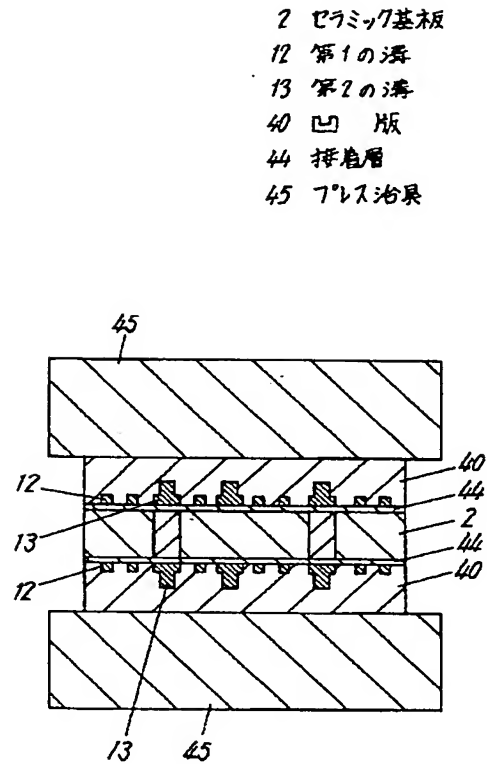
【図12】



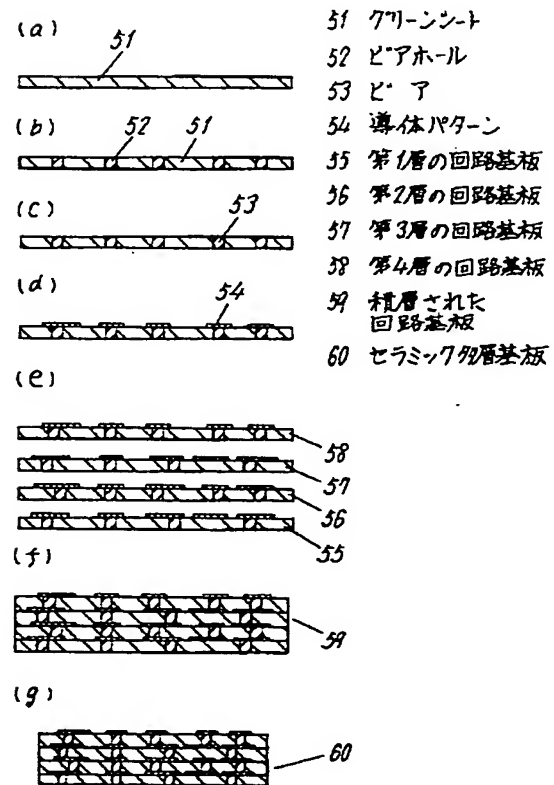
【図18】



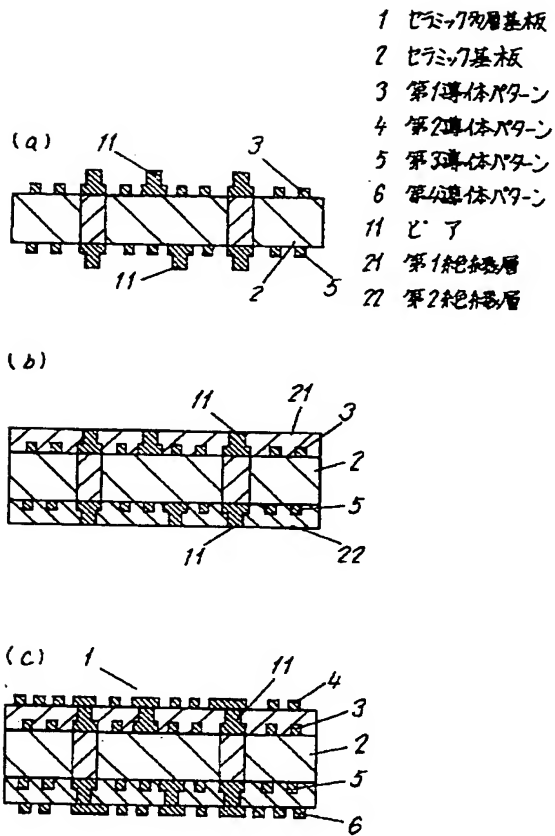
【図13】



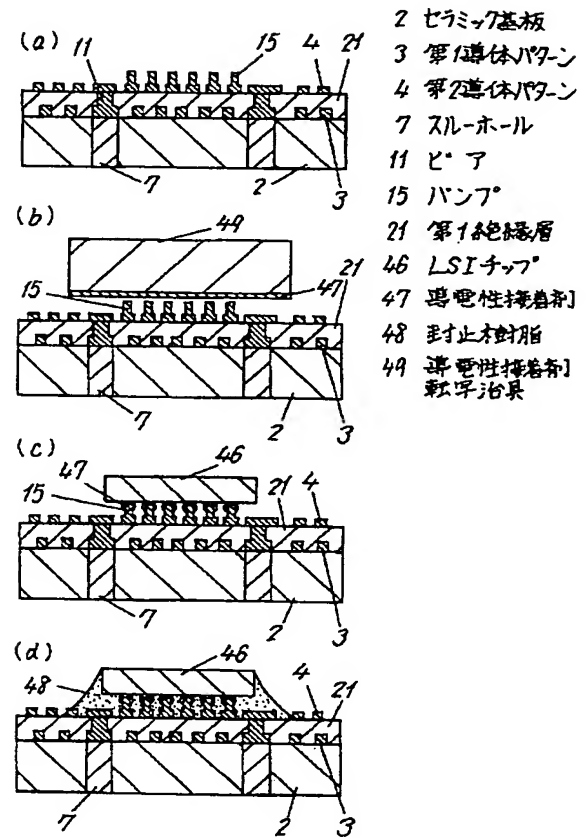
【図19】



【図14】



【図15】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

// H 0 5 K 3/20

F I

H 0 5 K 3/20

C



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \* \*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a ceramic multilayer substrate and its manufacture method.

[0002]

[Description of the Prior Art] In recent years, the miniaturization of electronic equipment is progressing and the place which remains also about the miniaturization of the electronic parts used within electronic equipment in connection with it is not known. The detailed-ized technology or multilayering technology of the conductor which is the same also about the printed circuit board and ceramic multilayer substrate which form an electronic circuitry, and forms a circuit, or a beer hall tends to realize much more high-density wiring.

[0003] Drawing 19 explains the manufacture method of the conventional ceramic multilayer substrate. First, the green sheet 51 with a thickness of about 0.2mm which makes an alumina a principal component is prepared, and hole dawn processing is given to a required part for a beer hall 52 by punching or the CO2 laser. Next, conductive pastes (for example, tungsten paste etc.) are filled up with and dried with screen printing etc., and beer 53 is formed in the beer hall 52.

[0004] Then, if printing formation of the circuit pattern of a request of a conductor pattern 54 with screen printing is carried out with a conductive paste, the circuit board 55 of the 1st layer will be prepared for the green sheet 51. The circuit board 56 of the 2nd layer or the circuit board 57 of the 3rd layer, and the circuit board 59 by which the laminating was carried out by carrying out alignment and pressing can be similarly obtained, respectively by preparing the circuit board 58 of the 4th layer, if there is need further. Next, if this is calcinated at the elevated temperature of 900-1600 degrees C, the ceramic multilayer substrate 60 will be obtained.

[0005] According to this method, densification can be attained by increasing the number of laminatings.

[0006]

[Problem(s) to be Solved by the Invention] However, the manufacture method of the above-mentioned conventional ceramic multilayer substrate had the following troubles.

[0007] \*\* Since formation of a conductor pattern 54 is based on screen-stencil, it is very difficult for 75 micrometers or less the line (width of face W) / line (interval S) = 75micrometer / to make it detailed.

[0008] \*\* Since about 5 micrometers in formation of the conductor pattern 54 by screen-stencil thickness also becomes thin, for example, the thickness cannot take at the time of W= 75 micrometers so that it is made a detailed pattern, it has the fault that wiring resistance becomes high.

[0009] \*\* When especially a wiring material is a tungsten, wiring resistance is higher than wiring by silver (Ag) and copper (Cu) about 3 to 5 times, this fault becomes large and the case where it becomes impossible to use it as an electrical part increases, so that it becomes a detailed pattern.

[0010] \* Since [ which is called about 900 or 1600 degrees C ] it is simultaneously calcinated at an elevated temperature, after calcinating, the material contraction of about 15 - 20% occurs, and for this reason, size dispersion of a substrate produces a substrate and a wiring material greatly. It becomes large, and a tangent with the very detailed bump of LSI becomes inaccurate from on precision, and size dispersion of the wiring section also benefits [ of the mounting yield ] this contraction dispersion a fall.

[0011] \*\* Further, in order to set line width of face to 75 micrometers or more in formation of the conductor pattern 54 by screen-stencil (120 micrometers or more are generally required if the printing yield and wiring resistance are considered) and to form many lines in a narrow area, substrate cost becomes high, so that wiring must be multilayered and it multilayers, and, so that a dimensional accuracy is made severe for mounting precision.

[0012] this invention solves such a conventional technical problem, and aims at offering the ceramic multilayer substrate equipped with the following advantages, and its manufacture method.

[0013] \* if detailed-izing of the line width of face of a conductor pattern is possible to 10 micrometers and for example,

line width of face is 30 micrometers as a ceramic multilayer substrate -- a conductor -- the high thickness of thickness which is 30 micrometers becomes possible, and wiring resistance is low and can also make wiring density very high [0014] \*\* Since a detailed beer pattern can be formed, simultaneously with formation of a conductor pattern, a circuit pattern with it can be formed. [ a high dimensional accuracy and ] [ very precise ]

[0015] \*\* Since grinding is carried out, even if flattening is carried out and it increases a number of layers, since flattening of the insulating layer is carried out polish or when there is nothing with a bird clapper and it carries out face down mounting of the LSI chip further at the surface section, connection between layers serves as a good ceramic multilayer substrate of connection bad.

[0016] \*\* Since a conductor pattern is formed on a ceramic substrate [ finishing / baking / already ], the precision of the land pattern for connection with LSI can be controlled by about several micrometers dispersion, and, as for the yield of face down mounting of a up to [ the circuit pattern of a detailed and highly precise size ], the pitch between pads of LSI can realize about 100% also to a thing 100 micrometers or less.

[0017]

[Means for Solving the Problem] In order to attain the above-mentioned purpose the manufacturing method of the ceramic multilayer substrate of this invention The process which manufactures intaglio printing which formed the 1st slot in the front face of a flexible resin base material by the pattern corresponding to the 1st conductor pattern, and formed the 2nd slot by the pattern corresponding to the beer section of \*\*\*\* 1 conductor pattern more deeply than the 1st slot, The 1st and 2nd slots are filled up with a conductive paste. Degassing and the process to dry, The process which is re-filled up with an additional conductive paste in order to compensate a part for the volume decrease according the conductive paste dried at the aforementioned process to dryness, and repeats the predetermined number of times for re-degassing and the re-dried process, The process which sticks intaglio printing and a ceramic substrate by applying the predetermined heat and predetermined pressure of the range, The process which exfoliates intaglio printing from a ceramic substrate, imprints and calcinates the pattern of a conductive paste on a ceramic substrate, and forms the 1st conductor pattern, The process which carries out printing formation of the 1st insulating layer on the 1st conductor pattern, and the process which carries out printing formation of the 2nd conductor pattern on the 1st insulating layer are included.

[0018] According to this composition, form the 1st detailed slot and 2nd detailed slot in the front face of a flexible resin base material by the pattern corresponding to the 1st conductor pattern, and intaglio printing is manufactured. It is re-filled up with an additional conductive paste in order to compensate a conductive paste with a part for restoration and degassing, and the volume decrease dry and according to dryness in a slot. The conductor material condensed by the slot will be filled up with repeating the predetermined number of the re-dried processes, and lamination and intaglio printing are exfoliated from a ceramic substrate by applying the predetermined heat and predetermined pressure of the range for intaglio printing and a ceramic substrate. The pattern of the dried conductive paste is imprinted on a ceramic substrate. By calcinating, forming the 1st conductor pattern, carrying out printing formation of the 1st insulating layer on the 1st conductor pattern, and carrying out printing formation of the 2nd conductor pattern on the 1st insulating layer further It becomes possible to form a detailed circuit pattern simply by high thickness, and wiring resistance is low and has the effect that wiring density is high and that the high thing of the dimensional accuracy of a circuit pattern is moreover made.

[0019]

[Embodiments of the Invention] Invention according to claim 1 forms the 1st conductor pattern by intaglio printing on a ceramic substrate. It is the manufacture method of the ceramic multilayer substrate which forms the insulator on the 1st conductor pattern. (a) The process which manufactures intaglio printing which formed the 1st slot in the front face of a flexible resin base material by the pattern corresponding to the 1st conductor pattern, and formed the 2nd slot by the pattern corresponding to the beer section of \*\*\*\* 1 conductor pattern more deeply than the 1st slot, (b) These the 1st and 2nd slots are filled up with a conductive paste. Degassing and the process to dry, (c) The process which is re-filled up with an additional conductive paste in order to compensate a part for the volume decrease according the conductive paste dried at the aforementioned process (b) to dryness, and repeats the predetermined number of times for re-degassing and the re-dried process, (d) The process which sticks this intaglio printing and a ceramic substrate by applying the predetermined heat and predetermined pressure of the range, (e) The process which exfoliates this intaglio printing from a ceramic substrate, imprints and calcinates the pattern of a conductive paste on a ceramic substrate, and forms the 1st conductor pattern, (f) It is the manufacture method of the ceramic multilayer substrate which includes the process which carries out printing formation of the 1st insulating layer on the 1st conductor pattern, and the process which carries out printing formation of the 2nd conductor pattern on the (g) 1st insulating layer, and wiring density is high and detailed-ization of the line width of face of a conductor pattern of it is attained.

[0020] When invention according to claim 2 is equipped with a ceramic substrate and the resin layer with a thickness of 20 micrometers or less formed in one [ at least ] front face of a ceramic substrate, this resin layer is the manufacture method of the ceramic multilayer substrate according to claim 1 which is thermosetting resin or thermoplastics and a ceramic substrate carries out to 20 micrometers or less in thickness, deformation of a conductor pattern has operation of

becoming very small.

[0021] Printing formation of the 1st insulating layer is carried out on the whole surface at the 1st conductor pattern top, invention according to claim 3 is the manufacture method of a ceramic multilayer substrate according to claim 1 of having made it open [ begin ] in the beer section of the 1st conductor pattern, and having calcinated the dryness coat of the 1st insulating layer by polish or carrying out grinding, even if beer size and a beer pitch become small, the beer exposure of it is attained with high precision, and it has operation that high-density multilayering is possible.

[0022] Invention according to claim 4 carries out printing formation of the 1st insulating layer on the whole surface at the 1st conductor pattern top, and is polish or carrying out grinding about the 1st insulating layer after baking. It is the manufacture method of the ceramic multilayer substrate according to claim 1 to which the beer section of the 1st conductor pattern was exposed. Even if beer size and a beer pitch become small, beer exposure is possible with high precision, flattening can do the height of beer and an insulating layer in respect of the same, and the intaglio printing imprint after a two-layer eye has operation that it is possible at the high yield.

[0023] Invention according to claim 5 carries out printing formation of the 1st insulating layer on the whole surface at the 1st conductor pattern top. After exposing the beer section of the 1st conductor pattern and calcinating the dryness coat of the 1st insulating layer by polish or carrying out grinding, are polish or the manufacture method of a ceramic multilayer substrate according to claim 1 which carried out grinding again, and beer exposure is possible with high precision. It has operation that flattening processing is easy for beer and an insulating layer to the same field, and they become a low cost.

[0024] The 2nd conductor pattern is the manufacture method of the ceramic multilayer substrate according to claim 1 formed at the same process as the 1st conductor pattern, and since fine formation of intaglio printing is possible for invention according to claim 6 also to a two-layer eye, it can realize high-density multilayering.

[0025] invention according to claim 7 -- the field of another side of a ceramic substrate -- the [ the 1st conductor pattern and ] -- the [ 2 conductor patterns, the 3rd conductor pattern formed by the same method, and ] -- it is the manufacture method of the ceramic multilayer substrate according to claim 1 or 6 in which 4 conductor patterns were formed, and since fine formation of intaglio printing is possible to both sides of a ceramic substrate, still higher-density multilayering can be realized

[0026] Simultaneously [ the 3rd conductor pattern / the 1st conductor pattern and \*\*\*\* 4 conductor pattern ] with the 2nd conductor pattern, invention according to claim 8 is the manufacture method of lamination and the ceramic multilayer substrate according to claim 7 which carried out imprint formation, and since pattern formation is simultaneously carried out to both sides of a ceramic substrate, reduction of a manufacturing cost is attained.

[0027] Invention according to claim 9 is the manufacture method of the ceramic multilayer substrate according to claim 1 which formed the dielectric layer in a part of ceramic substrate, and an effect is in reduction of a power supply noise by adding a dielectric layer.

[0028] Invention according to claim 10 is the manufacture method of the ceramic multilayer substrate according to claim 1 filled up with and calcinated nearly completely by the through hole section of a ceramic substrate in conductor material, the beer formation of a up to [ a through hole ] of it is attained by being completely filled up with a through hole, and the high-density wiring of it is attained.

[0029] invention according to claim 11 -- the [ the 1st conductor or ] -- it is the manufacture method of a ceramic multilayer substrate including the process which carries out face down mounting of the LSI chip, and performs electrical installation to a part of 2 conductor patterns according to claim 1 or 6, since it is the substrate of high-density wiring, face down mounting has been attained in the LSI chip, and since face down mounting is still more possible, it leads to the miniaturization of a product

[0030] Form 2 conductor patterns and it accomplishes with a detailed bump. in the 2nd slot, invention according to claim 12 corresponds to the pad section of an LSI chip -- making -- the [ the 1st conductor or ] -- It is the manufacture method of a ceramic multilayer substrate including the process which a conductive paste is made to adhere to this bump's peak section, carries out face down mounting of the LSI chip, and performs electrical installation according to claim 1 or 6. Since a bump can be simultaneously formed in a conductor pattern by intaglio printing, it is not necessary to form a bump in an LSI chip beforehand, and low-cost-izing and also repair become possible.

[0031] The 1st conductor pattern in which imprint formation was carried out on the ceramic substrate by intaglio printing for which invention according to claim 13 used the ceramic substrate and the flexible resin base material, It is the ceramic multilayer substrate equipped with the insulating layer on this 1st conductor pattern, and the 2nd conductor pattern electrically connected through the beer section which has the convex level difference which was united with the 1st conductor pattern of the above, and the imprint nature of beer serves as a high yield well for the beer of a convex level difference.

[0032] the [ the 1st conductor by which imprint formation of the invention according to claim 14 was carried out on the ceramic substrate by a ceramic substrate and intaglio printing which used the flexible resin base material, and ] -- with 3 conductor patterns It is the ceramic multilayer substrate equipped with 4 conductor patterns. the [ this 1st conductor and ] -- the [ the insulating layer on 3 conductor patterns, and / the 1st conductor of the above, and ] -- the [ the 2nd conductor

electrically connected through the beer section which has the convex level difference which was united with 3 conductor patterns, and ] -- By preparing the beer of a convex level difference in both sides, the imprint nature of beer is good and serves as a still higher-density ceramic multilayer substrate as a double-sided multilayer substrate.

[0033] Invention according to claim 15 is the ceramic multilayer substrate according to claim 13 or 14 which equipped a part of conductor pattern with the reticulated pattern, and an effect is in low-impedance-ization of a power supply or a GND electrode.

[0034] Invention according to claim 16 is the ceramic multilayer substrate according to claim 13 or 14 which equipped the periphery section of a conductor pattern with the shield pattern, and its noise-proof nature will improve with the shield of the periphery section.

[0035] invention according to claim 17 -- the through hole section of a ceramic substrate -- conductor material -- almost -- perfect -- restoration and baking -- carrying out -- this through hole section top -- the [ the 1st conductor pattern or ] -- it is the ceramic multilayer substrate according to claim 13 or 14 by which the beer section of 3 conductor patterns is arranged, and by being completely filled up with a through hole, beer formation of a up to [ a through hole ] is attained, and high-density wiring is attained

[0036] Invention according to claim 18 is the ceramic multilayer substrate according to claim 13 or 14 which formed the dielectric layer in a part of ceramic substrate, and an effect is in reduction of a power supply noise by adding a dielectric layer.

[0037] invention according to claim 19 -- the [ the 1st conductor or ] -- it is the ceramic multilayer substrate according to claim 13 or 14 which carried out face down mounting of the LSI chip, and carried out electrical installation to a part of 2 conductor patterns, since it is the substrate of high-density wiring, face down mounting has been attained in the LSI chip, and since face down mounting is still more possible, it leads to the miniaturization of a product

[0038] Form 2 conductor patterns and it accomplishes with a detailed bump. in the 2nd slot, invention according to claim 20 corresponds to the pad section of an LSI chip -- making -- the [ the 1st conductor or ] -- It is the ceramic multilayer substrate according to claim 13 or 14 which the conductive paste was made to adhere to this bump's peak section, carried out face down mounting of the LSI chip, and carried out electrical installation. Since it is the composition which formed the bump in the conductor pattern simultaneously by intaglio printing, it is not necessary to form a bump in an LSI chip beforehand, and low-cost-ization can be attained.

[0039] invention according to claim 21 -- the [ the 1st conductor or ] -- it is the ceramic multilayer substrate according to claim 13 or 14 which prepared the grid-like land below 0.8mm pitch in a part of 2 conductor patterns, mounted the LSI package in this grid-like land, and carried out electrical installation, and since it is the substrate of high-density wiring, mounting becomes possible with the package of the grid-like land below 0.8mm pitch

[0040] (Gestalt 1 of operation) The gestalt of implementation of the 1st of the manufacture method of the ceramic substrate of this invention is explained below with reference to drawing 1 - drawing 9 .

[0041] as the ceramic multilayer substrate 1 of the gestalt of this operation being shown in drawing 1 -- the ceramic substrate 2 top -- a conductor -- line width of face -- 20 micrometers and a line interval -- 40 micrometers and a conductor -- thickness formed the 1st conductor pattern 3 which is after baking and was set to 20 micrometers, and formed beer 11 of 100 micrometers of diameters in the 1st conductor pattern 3 simultaneously The 1st insulating layer 21 is formed on the 1st conductor pattern 3, the 2nd conductor pattern 4 is further formed on it, and this 2nd conductor pattern 4 is electrically connected with beer 11.

[0042] Then, the manufacture method of the gestalt this operation is explained in order of a process. First, the 1st conductor pattern 3 is manufactured by intaglio printing. In drawing 2 , using excimer laser equipment, the intaglio printing 40 used is irradiated and is created in a laser beam with a wavelength [ of an ultraviolet-rays field ] of 248nm so that it may become a configuration corresponding to the desired circuit pattern beforehand to the polyimide film which is a flexible resin base material with a thickness of 125 micrometers. The 1st slot 12 which the portion irradiated by the laser beam is decomposed by photochemical reaction, and is equivalent to the line of the 1st conductor pattern 3 is processed. With the gestalt of this operation, width of face of a slot was set to 25 micrometers, and the depth of flute was set to 30 micrometers.

[0043] Next, processing was further added using excimer laser equipment like the above of the 2nd slot 13 by the pattern corresponding to the beer 11 of the 1st conductor pattern 3, and it considered as the trench. With the gestalt of this operation, the path of the deepest section of the 2nd slot 13 could be to 120 micrometers, and the channel depth could be 90 micrometers.

[0044] Thus, in order to use an excimer laser, at least 10 micrometers or less of width of face of the 1st slot 12 become possible, the depth of the 1st and 2nd slots 12 and 13 can also be adjusted further arbitrarily, and a thing with the aspect ratio bigger moreover that the larger one of a depth size can be taken than the size of the width of face of a slot is one of the features of this intaglio printing 40.

[0045] As a flexible resin base material, if it is the material decomposed by photochemical reaction in processing by the excimer laser, although it is possible, a polyethylene terephthalate (PET), polyether imide (PEI), etc. can be used for

others anything. the conductor which is filled up with the polyimide film currently used as a material of intaglio printing 40 into slots 12 and 13, and is imprinted -- the detachability of a paste 42 and a film is not enough therefore, an imprint process -- setting -- the interior of slots 12 and 13 -- a conductor -- a paste 42 tends to remain Then, stratum disjunctum (not shown) is formed in the front face of intaglio printing 40, especially the front face of slots 12 and 13. Stratum disjunctum used the carbon fluoride system monomolecular film.

[0046] next, the front face of intaglio printing 40 in which stratum disjunctum was formed -- a conductor -- a Ag-Pd paste is applied as a paste 42 And while removing a Ag-Pd paste with an excessive intaglio printing front face by scratching the front face of the intaglio printing 40 after an application by the squeegee 41, it is fully filled up with a Ag-Pd paste into slots 12 and 13.

[0047] intaglio printing -- a conductor -- if especially the width of face of slots 12 and 13 becomes narrow or becomes deep like the 2nd slot 13 when filled up with a paste 42, as shown in drawing 3 (a), air bubbles 8 will tend to remain and will become then -- the form of this operation -- vacuum devices -- a conductor -- putting in and carrying out degassing of the intaglio printing 40 with which the paste 42 was filled up, removing air bubbles, and scratching the front face of intaglio printing 40 by the squeegee 41 again -- a conductor with the excessive front face of intaglio printing 40 -- the conductor which removes a paste 42 and does not have air bubbles 8 like drawing 3 (b) -- it considered as restoration of a paste 42

[0048] the degassing method -- a conductor -- it was possible also by putting the intaglio printing 40 with which the paste 42 was filled up into a slewing gear, and removing air bubbles 8 with a centrifugal force Moreover, by making a slewing gear into a vacuum, it becomes still easier [ removal of air bubbles 8 ], and the degassing method can be freely chosen according to the form of the slots 12 and 13 of intaglio printing 40. It is made to dry using a dryer with intaglio printing 40, and the Ag-Pd paste with which it filled up evaporates the organic solvent under Ag-Pd paste. Therefore, the volume of the Ag-Pd paste with which the interior of slots 12 and 13 is filled up decreases as equivalent to an evaporated part of the organic solvent. Then, in order to compensate a part for this volume decrease, the restoration degassing process and dryness process of a Ag-Pd paste are repeated again. Thickness after dryness of the Ag-Pd paste with which this repeat is filled up can be made almost equivalent to the depth of slots 12 and 13. In this example, three restoration, degassing, and dryness were repeated.

[0049] on the other hand, the ceramic substrate 2 is shown in drawing 4 -- as -- a through hole 7 -- screen-stencil -- a conductor -- it buried by Ag-Pd completely by repeating restoration and dryness and calcinating a paste conductor material and here

[0050] Then, it formed in the ceramic substrate 2 by the glue line 44 which consists of thermoplastics so that a conductor pattern might be imprinted on the ceramic substrate 2. finishing [ dryness ] as typically shown in drawing 5 -- a conductor -- the near front face and near glue line 44 of intaglio printing 40 which have the slots 12 and 13 where it filled up with the paste 43 are made to counter, and intaglio printing 40 and the ceramic substrate 2 are heated and pressurized, and are stuck Here, the ceramic substrate [ finishing / baking / as a ceramic substrate 2 ] 2 was used. If the thickness of a glue line 44 becomes thick so that it may mention later, the trouble that a conductor pattern is not well formed of combustion and the shrinkage force of glue-line 44 self at the time of baking will occur. It is checked as a result of examination by artificers that 20 micrometers or less are suitable for the thickness of a glue line 44. Temperature of a lamination process was made into 130 degrees C. This chose temperature higher about about 30 degrees C than the glass transition point of the thermoplastics to be used, and checked the good thing of imprint nature. Thermoplastics applies to the front face of the ceramic substrate 2 the solution of butyl carbitol acetate (the following, BCA, and brief sketch) which dissolved polyvinyl butyral resin (the following, PVB, and brief sketch) by the dipping method, and dries. By this, a PVB layer with a thickness of 5 micrometers is formed in the whole front face of the ceramic substrate 2 as a glue line 44. In addition, a PVB layer can also use and apply the spinner method or the roll coater, and screen printing other than the dipping method.

[0051] By the way, the wave of about about 30 micrometers usually exists in the front face of the ceramic substrate 2 at least. It becomes the manufacture method which could fully follow the external waviness configuration of a substrate according to the composition which uses the intaglio printing 40 made of the resin which was rich in flexible nature like this invention although intaglio printing could not fully follow the external waviness configuration of a substrate at the time of lamination, since [ which is too large firmly /, for example / in the case of glass intaglio printing etc. ] it did not have flexibility as intaglio printing here, and was excellent in imprint nature.

[0052] next, finishing [ the dryness which is the 1st conductor pattern which intaglio printing 40 was made to exfoliate from the ceramic substrate 2 after lowering the temperature of the intaglio printing 40 and the ceramic substrate 2 which were stuck to the room temperature as an imprint process, and was made to patternize according to a circuit pattern ] -- a conductor -- a paste 43 is imprinted Since intaglio printing 40 is rich in flexible nature at this time as shown in drawing 6 , it is possible to bend intaglio printing 40 in angle of 90 degrees or more. Consequently, since exfoliation of the intaglio printing 40 from the ceramic substrate 2 turns into linear exfoliation, the required exfoliation force is reduced and it can exfoliate intaglio printing 40 easily.



[0053] next, finishing [ dryness ] as mentioned above -- a conductor -- the ceramic substrate 2 by which the paste 43 was imprinted is calcinated under temperature profiles with a peak temperature of 850 degrees C Since the ceramic substrate 2 set as the object of baking becomes the structure where the conductor pattern is formed through the glue line 44, depending on a setup of baking conditions, the exfoliation and deformation which combustion gas occurs with sufficient vigor from a glue line 44, and become the poor cause of a conductor pattern may arise. It is desirable to make the temperature gradient at the time of the temperature up between 200-500 degrees C equivalent to temperature in order to prevent generating of such fault, after combustion of a glue line 44 is started until it ends into below 200 degrees C / Hr.

[0054] As a result of adding examination to the relation of the thickness of these temperature conditions and glue lines, when the glue line 44 was 20 micrometers or less under the above-mentioned temperature conditions, there is also no deformation of a conductor pattern and it has checked that there was also no conductor pattern peeling at the time of baking. the 1st conductor pattern 3 forms according to the above process -- having -- the conductor after minimum line width of face of 20 micrometers, the minimum line interval of 40 micrometers, and baking -- what is shown in drawing 7 with 20 micrometers of thickness, 100 micrometers [ of diameters of beer ], and a beer height of 60 micrometers was obtained The shell which conductor material contracted by baking became smaller than the size of a slot.

[0055] Moreover, the electric resistance of the 1st conductor pattern 3 was able to set 0.4 ohms and the sheet resistivity value of a conductor to 2.1 mohm in the maximum line length portion at very small wiring resistance.

[0056] Next, as shown in drawing 8 , the 1st insulating layer 21 was printed and calcinated with screen printing at the ceramic substrate 2 in which the 1st conductor pattern 3 was formed. The material of the 1st insulating layer 21 pastes and prints glass ceramics with the almost same coefficient of thermal expansion as the ceramic substrate 2. Pattern formation of the upper part of the beer section is carried out so that it may not be printed with the emulsion of the screen version.

[0057] Next, formation of the 2nd conductor pattern 4 was calcinated by printing and calcinating with a rule (W/S=100micrometer / 100 micrometers) with screen printing on the 1st insulating layer 21, as shown in drawing 9 . The 2nd conductor pattern 4 and the 1st conductor pattern 3 are electrically connected through beer 11.

[0058] In the gestalt of this operation, it has the effect taken below. Form the 1st detailed slot 12 and 2nd detailed slot 13 in the front face of a flexible resin base material, and it considers as intaglio printing 40. Re-restoration and re-degassing of the paste are carried out. slots 12 and 13 -- a conductor -- the conductor of an addition in order to dry and to compensate a paste 42 with restoration and degassing, and the volume decrease by dryness -- The conductor material condensed by slots 12 and 13 is filled up with repeating the predetermined number of the re-dried processes. The conductor material filled up with the intaglio printing 40 and ceramic substrate 2 by lamination and slots 12 and 13 is imprinted on the ceramic substrate 2. By calcinating, forming a detailed conductor pattern, considering as the 1st conductor pattern 3, carrying out printing formation of the 1st insulating layer 21 on the 1st conductor pattern 3, and carrying out printing formation of the 2nd conductor pattern 4 on the 1st insulating layer 21 further since it considered as the ceramic multilayer substrate -- for example, line width of face -- 20 micrometers -- wiring thickness -- 20 micrometers, the diameter of beer of 100 micrometers, and a beer height of 60 micrometers -- it is detailed, high-density wiring can be performed, and the low ceramic multilayer substrate 1 is obtained very much also for wiring resistance

[0059] (Gestalt 2 of operation) The gestalt of implementation of the 2nd of the manufacture method of the ceramic multilayer substrate of this invention is explained below with reference to drawing 10 (a) - (e). Drawing 10 (a) - (e) is the fragmentary sectional view of the gestalt of this operation.

[0060] First, as shown in drawing 10 (a), the process which forms a putter 3 the 1st conductor considered as the completely same process as the gestalt of the 1st operation.

[0061] Next, formation of the 1st insulating layer 21 formed on the 1st conductor pattern 3 was formed by screen-stencil so that all beer 11 tops might also be printed, as shown in drawing 10 (b). After drying, to the grade from which several micrometers beer 11 is deleted as shown in drawing 10 (c), with the grinding machine, the grinding of the 1st insulating layer 21 was carried out, and it carried out flattening. In this process, all the required beer sections are exposed out of the 1st insulating layer 21.

[0062] Next, it calcinated under temperature profiles with a peak temperature of 850 degrees C in this state. If it calcinates, as shown in drawing 10 (d), thickness will become thin by the volumetric shrinkage by baking, and the 1st insulating layer 21 will serve as the form where about 10 micrometers of beer 11 projected relatively.

[0063] The ceramic multilayer substrate 1 was formed by next, printing and calcinating with a rule (W/S=100micrometer / 100 micrometers) by screen-stencil about formation of the 2nd conductor pattern 4, as shown in drawing 10 (e). The 2nd conductor pattern 4 and the 1st conductor pattern 3 are electrically connected through beer 11.

[0064] In the gestalt of this operation, it has the effect taken below. It becomes very difficult on precision to form the 1st insulating layer 21 by the pattern which does not print the upper chisel of the beer section by screen-stencil as the beer size and the beer pitch of the 1st conductor pattern 3 become small. If it is beer 11 which can be formed by the 1st conductor pattern 3, since exposure of beer 11 will be attained correctly according to the means of the gestalt of this operation, the circuit pattern still higher-density than the gestalt and the ceramic multilayer substrate 1 of the 1st operation will be obtained.

[0065] (Gestalt 3 of operation) The gestalt of implementation of the 3rd of the manufacture method of the ceramic multilayer substrate of this invention is explained below with reference to drawing 11 (a) - (d). Drawing 11 (a) - (d) is the fragmentary sectional view of the gestalt of this operation.

[0066] First, as shown in drawing 11 (a), the process which forms the 1st conductor pattern 3 considered as the completely same process as the gestalt of the 1st operation.

[0067] As shown in drawing 11 (b), formation of the 1st insulating layer 21 formed on the 1st conductor pattern 3 next was formed by screen-stencil so that all beer 11 tops might also be printed, and was calcinated under temperature profiles with a peak temperature of 850 degrees C. Flattening of the front face of the 1st insulating layer 21 was carried out by grinding until it grinds the 1st insulating layer 21 with a grinder as shown in drawing 11 (c), and all beer 11 is completely exposed from the 1st insulating layer 21 after baking.

[0068] Next, the 2nd conductor pattern 4 as carried out [ the conductor pattern ] imprint formation and shown in drawing 11 (d) by intaglio printing which formation of the 2nd conductor pattern 4 applied the glue line to the front face of the substrate first obtained at the process of drawing 11 (c), continued, and formed the 2nd conductor pattern 4 at the formation process of the 1st conductor pattern 3 and the completely same process was formed. The wiring rule of this 2nd conductor pattern 4 was also made into the completely same thing as the wiring rule of the 1st conductor pattern 3.

[0069] In the gestalt of this operation, it has the effect taken below. If it is beer 11 which can be formed by the 1st conductor pattern 3 according to the means of the gestalt of this operation Since exposure of beer 11 is attained correctly, and the height of beer 11 and the height of an insulating layer 21 serve as the same side and have become what was superior to the gestalt of the 2nd operation also about flattening further In order to make the 2nd conductor pattern 4 high-density wiring, when the imprint process by intaglio printing is required, it becomes very effective and the circuit pattern still higher-density than the gestalt and the ceramic multilayer substrate 1 of the 1st and the 2nd operation will be obtained.

[0070] (Gestalt 4 of operation) The gestalt of implementation of the 4th of the manufacture method of the ceramic multilayer substrate of this invention is explained below with reference to drawing 12 (a) - (f). Drawing 12 (a) - (f) is the fragmentary sectional view of the gestalt of this operation.

[0071] Drawing 12 (a) - (d) made formation and baking of the 1st insulating layer 21 the completely same process as it corresponded to drawing 10 (a) - (d). Therefore, as shown in drawing 12 (d), beer 11 is in the state where about 10 micrometers has projected relatively from the 1st insulating layer 21.

[0072] Next, as shown in drawing 12 (e), in order to shave only beer 11, it ground with the grinder, and beer 11 was made into the same height as the 1st insulating layer 21. Formation of the 2nd conductor pattern 4 was formed by the completely same method as the gestalt of the 3rd operation.

[0073] In the gestalt of this operation, it has the effect taken below. According to the means of the gestalt of this operation, although polish or a grinding operation becomes 2 times, grinding is very easily possible for the 1st grinding operation in a short time because of the grinding of the dryness coat of an insulating layer 21. Moreover, the 2nd polish process is polish only for an outcrop of beer 11, and has the advantage that it can grind, very easily [ this ] for a short time. Moreover, about the advantage that a high-density circuit pattern is realizable, it has the completely same effect as the gestalt of the 3rd operation.

[0074] (Gestalt 5 of operation) The gestalt of implementation of the 5th of the manufacture method of the ceramic multilayer substrate of this invention is explained below with reference to drawing 13 and drawing 14 (a) - (c).

[0075] first, the through hole section of the ceramic substrate 2 -- a conductor -- the paste was filled up with and calcinated and the glue line 44 was formed in both sides of a substrate

[0076] the [ the 1st conductor pattern 3 and ] -- the slot of intaglio printing 40 where the 3 conductor pattern 5 was processed into the pattern of each request -- a conductor -- it was filled up with the paste like the gestalt of the 1st operation, and it was prepared

[0077] Next, as shown in drawing 13 , alignment of the intaglio printing 40 by which restoration was carried out [ aforementioned ] was simultaneously carried out to both sides of the ceramic substrate 2, and the press fixture 45 performed ablation of intaglio printing 40, and baking of a conductor pattern like the gestalt of operation of lamination 1st. drawing 14 (a) -- the [ the 1st and ] -- it is a fragmentary sectional view after baking of the 3 conductor patterns 3 and 5

[0078] then, the thing which the 1st and the 2nd insulating layer 21 and 22 are formed in both sides, and is ground by the same method as the gestalt of the 4th operation as shown in drawing 14 (b) -- the [ the 1st and ] -- the beer 11 section of the 3 conductor patterns 3 and 5 was exposed

[0079] the [ next, / the 2nd and ] -- the slot of the intaglio printing 40 processed into the desired pattern also about the 4 conductor patterns 4 and 6, respectively -- a conductor -- a paste -- being filled up -- the [ the 1st and ] -- by the same method as the 3 conductor patterns 3 and 5, as shown in drawing 14 (c), respectively, imprint and baking of a conductor pattern were performed

[0080] In the gestalt of this operation, it has the effect taken below. Since according to the gestalt of this operation

formation of a conductor pattern can form simultaneously by both sides of the ceramic substrate 2 and double-sided simultaneous formation can be performed also in baking or polish of insulating layers 21 and 22, also by making it a multilayer, a manufacturing process can be shortened and a big effect can be acquired to reduction of a manufacturing cost. Moreover, by carrying out double-sided simultaneous formation, the curvature of the ceramic multilayer substrate by the coefficient-of-thermal-expansion difference of the some between insulating layers 21 and 22 and the ceramic substrate 2 can also be reduced, and the small ceramic multilayer substrate 1 of curvature can be obtained.

[0081] (Gestalt 6 of operation) The gestalt of implementation of the 6th of the manufacture method of the ceramic multilayer substrate of this invention is explained below with reference to drawing 15 (a) - (d). Drawing 15 (a) - (d) is the fragmentary sectional view of the gestalt of this operation.

[0082] In drawing 15 (a), the polish process of the 1st insulating layer 21 is the same as the gestalt of the 4th operation. In the gestalt of this operation, it is formation of the 2nd conductor pattern 4, and the 2nd slot of a corresponding intaglio printing pattern is made to correspond to the pad section of an LSI chip on arrangement, it prepares in it, and conductor material filled up with the same process as formation of the 1st conductor pattern 3 into the 2nd slot is made into the shape of a bump 15.

[0083] 50 micrometers and the bump minimum pitch set [ the diameter of a bump / 50 micrometers and bump height ] . size of the bump 15 in the gestalt of this operation to 100 micrometers. Next, in order to apply an electroconductive glue 47 to a bump point uniformly, as shown in drawing 15 (b), the electroconductive-glue imprint fixture 49 is beforehand coated with the electroconductive glue 47 by uniform thickness, and the electroconductive-glue imprint fixture 49 is lowered below in parallel with the ceramic substrate 2 on a bump 15, and is imprinted.

[0084] Next, as shown in drawing 15 (c), the pad section of LSI chip 46 and a bump's 15 exact alignment are performed, and LSI chip 46 is carried on a bump 15. After loading carries out heat hardening of the electroconductive glue 47 promptly, and joins a bump 15 to LSI chip 46. Next, as shown in drawing 15 (d), heat hardening of the closure resin 48 was enclosed and carried out between the LSI chip and the bump.

[0085] In the gestalt of this operation, it has the effect taken below. According to the gestalt of this operation, since a bump 15 can be simultaneously formed in the 2nd conductor pattern 4, a means which forms a bump in an LSI chip 46 side beforehand is unnecessary, and effective in reduction of the manufacturing cost of LSI chip 46. Moreover, the bump 15 corresponding to many LSI chips 46 can be formed simultaneously, without increasing a process by forming the bump 15 required for the 2nd conductor pattern 4, when it carries many LSI chips 46 on a ceramic multilayer substrate.

[0086] Furthermore, in the inspection after mounting of LSI chip 46, the quality of mounting of LSI chip 46 is judged by carrying out electric inspection before hardening of an electroconductive glue 47, and if mounting is poor, applicable LSI chip 46 is removed, re-loading or another LSI chip 46 is carried, after being judged with an excellent article after reexamination, an electroconductive glue 47 can be hardened, and it will become effective in the improvement in the yield of a ceramic multilayer substrate.

[0087] However, although the LSI chip which had the bump already formed depending on LSI chip 46 is used, it becomes effective as a high-density ceramic multilayer substrate by mounting with the gestalt of the operation which was directly suitable for the ceramic multilayer substrate of the gestalt of the 5th operation in this case at the LSI chip 46.

[0088] Thus, if the high-density ceramic multilayer substrate of the gestalt of this operation is used, the gestalt of still more various operations will become possible.

[0089] Formation of the 1st - the 4th conductor pattern 3, 4, 5, and 6 attains densification of wiring by formation of the imprint pattern by intaglio printing, and what is shown in drawing 16 mounts LSI chip 46 in the surface section directly by face down.

[0090] Moreover, the electrode into which intensive formation is carried out at one side of the ceramic substrate 2, formation of the 1st - the 4th conductor pattern 3, 4, 5, and 6 forms a dielectric layer 23 in one field by screen-stencil, and what is shown in drawing 17 inserts a dielectric layer 23 was used as the power supply electrode 24 and the grand electrode 25. Since this dielectric layer 23 considered as the high dielectric constant material of a dielectric constant  $\epsilon = 10000$ , the big effect was acquired by reduction of a power supply noise.

[0091] In addition, with the gestalt of operation shown in drawing 17 , the screening electrode 18 was formed in the outermost periphery of the 1st - the 3rd conductor pattern 3, 4, and 5, and the power supply electrode 24 and the grand electrode 25 which are further contained in a part of the 1st - 3rd conductor pattern 3, 4, and 5 were used as the mesh-like pattern. Thereby, low-impedance-ization of improvement in the noise-proof nature of a signal line, and the power supply electrode 24 and the grand electrode 25 was able to be attained.

[0092] It is the example of the gestalt of another operation which is shown in drawing 18 (a) and (b). Drawing 18 (a) is the chip-size package (CSP) created by the method of the gestalt this operation, and a bump 15 forms it simultaneously with the 5th conductor pattern 16. Drawing 18 (b) mounts Above CSP in the surface section of a ceramic multilayer substrate which formed the dielectric layer 23 directly, and is obtained. Since the land 17 formed by the full grid of 0.8mm pitch and the total number of lands also served as 400 lands again, what also has high-density wiring of a ceramic multilayer substrate was needed, and Above CSP was difficult to realize in the ceramic multilayer substrate of the



conventional example.

[0093] Also in here, it became clear that  $W/S=20$ micrometer which is the design rule of the gestalt of this operation / 40 micrometers are very effective.

[0094]

[Effect of the Invention] above -- this invention -- detailed-izing of the line width of face of a conductor pattern is possible to 10 micrometers -- becoming -- a conductor -- it becomes what was excellent in connectability when connectability is good even if 30 micrometers of thickness can be possible, and wiring resistance can be low, can consider as a thing high [ of wiring density ], it can also form a detailed beer pattern, flattening of the insulating layer is carried out by polish or grinding and it increases a number of layers, and carrying out face down mounting of the LSI chip at the surface

---

[Translation done.]